

MANUFACTURE OF SEMICONDUCTOR LASER ELEMENT

Patent Number: JP10190139
Publication date: 1998-07-21
Inventor(s): ARAKIDA TAKAHIRO
Applicant(s): NEC CORP
Requested Patent: ☐ JP10190139
Application Number: JP19960341222 19961220
Priority Number(s):
IPC Classification: H01S3/18; G11B7/125
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To suppress the optical damage and deterioration of the end face of a resonator by forming a chemically and thermally stable dielectric substance/ semiconductor interface by simultaneously depositing a plurality of materials composed of oxide, nitride, and carbide dielectric materials on the end face of the resonator in a mixing state as a film.

SOLUTION: After a buffer layer 2 and a clad layer 3 are grown on a substrate 1, a light guide layer 4, a barrier layer 5, an active layer 6, a barrier layer 7, an active layer 8, and a barrier layer 9 are successively grown on the clad layer 3. Successively, a light guide layer 10, a clad layer 11, and a cap layer 12 are successively formed on the barrier layer 9 by the vapor growth method and a mesa stripe is formed by etching the cap layer 12 and part of the clad layer 11 on both sides. Then current blocking layers 14 and 15 are successively formed on both sides of the mesa stripe so as to fill up the spaces formed on both sides and a cap layer 16 is grown. After the cap layer 16 is grown, contact electrodes are vapor-deposited on both sides of the formed laser wafer. A plurality of materials composed of oxide, nitride, and carbide dielectric materials are deposited on the end face of a resonator obtained by cleaving the laser wafer in a mixing state as a film.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-190139

(43)公開日 平成10年(1998) 7月21日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

G 1 1 B 7/125

G 1 1 B 7/125

A

審査請求 有 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平8-341222

(22)出願日 平成 8 年(1996)12月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 荒木田 孝博

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

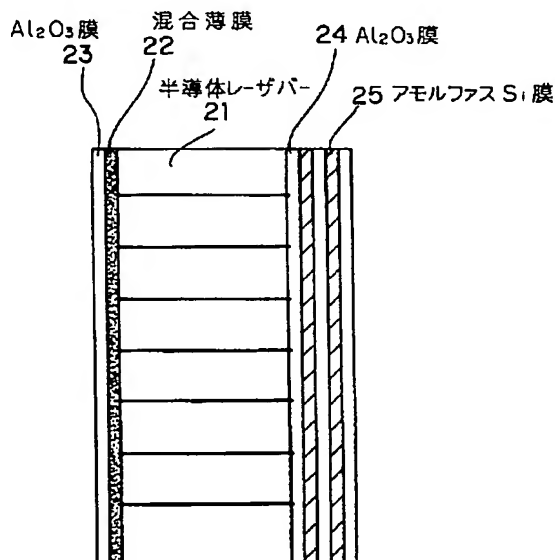
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体レーザ素子の製造方法

(57)【要約】

【課題】 高出力動作時に、共振器端面におけるCOD劣化の発生を抑制して、長期安定動作する半導体レーザ素子を実現する。

【解決手段】 一対の共振器端面を有する半導体レーザ素子において、少なくとも一つの共振器端面に、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つを混合した薄膜を積層することを特徴とする。



【特許請求の範囲】

【請求項1】 一対の共振器端面を有する半導体レーザ素子において、少なくとも一つの共振器端面に、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つを混合した誘電体薄膜を積層することを特徴とする半導体レーザ素子の製造方法。

【請求項2】 一対の共振器端面を有する半導体レーザ素子において、少なくとも一つの共振器端面の、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つを混合した誘電体薄膜を積層した後に、前記誘電体薄膜とは構成材料又は組成比が異なる誘電体又は半導体材料を積層することを特徴とする半導体レーザ素子の製造方法。

【請求項3】 酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つの材料系を同一のターゲット上に形成し、スパッタ法によって異種材料系の混合薄膜を共振器端面に積層する請求項1又は2に記載の半導体レーザ素子の製造方法。

【請求項4】 酸化物系誘電体材料として Al_2O_3 、窒化物系材料として SiN_x 、及び炭化物系材料としてTaCを混合した誘電体薄膜を共振器端面に積層する請求項1又は2に記載の半導体レーザ素子の製造方法。

【請求項5】 共振器端面に積層した誘電体薄膜上に積層させる材料が、 Al_2O_3 、 SiO_2 、 SiN_x 、 Si 、 $AlGaInAsP$ のいずれかである請求項2記載の半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光学損傷による共振器端面の劣化を抑制し、高出力安定動作を実現する半導体レーザ素子に関する。

【0002】

【従来の技術】 $AlGaAs$ 系及び $AlGaInP$ 系の半導体材料によって構成された半導体レーザ素子において、光出力の増加に伴って共振器端面に劣化（光学損傷、Catastrophic Optical Damage；COD）が生じることが知られている。この光学損傷は高出力動作に伴った共振器端面の温度上昇に起因している。つまり、共振器端面では表面準位を介してレーザ光が吸収され、局所的に発熱する。また、この光吸収は共振器端面の酸化及び空格子等の点欠陥の発生によって増加する。温度上昇によって端面近傍の禁制帯幅が縮小してさらにレーザ光の吸収が増加し、端面温度が上昇する。この正帰還ループによって、ついには共振器端面が溶融して劣化が生じる。

【0003】従来、共振器端面での光吸収を抑制するために、レーザ光に対して透明な材料を共振器端面に形成する種々の窓構造が試みられている。例えば、1989年のアイ・イー・イー・イー・ジャーナル・クォンタム・エレクトロニクス（IEEE J. Quantum

Electron.）第25巻、1495～1499頁の報告によれば、共振器端面での光吸収を抑制するための窓構造を形成するために、活性領域における共振器端面のパターニング、選択エッチング、及び埋め込み再成長のプロセスが施されている（図6）。

【0004】一方、誘電体膜パッシベーションにおいては共振器端面のCOD劣化を効果的に抑制するためには、長期にわたり欠陥の発生しない化学的及び熱的に安定な誘電体／半導体界面を形成することが重要である。しかし、通常行われる誘電体膜パッシベーションでは、共振器端面の反射率の制御、及び大気中からの酸化の促進を抑制するだけであり、高出力動作時におけるCOD劣化を効果的に抑制することはできなかった。

【0005】

【発明が解決しようとする課題】以上述べたように、従来、半導体レーザの端面劣化を抑制するためには端面での光吸収を抑制するための窓構造の形成が必要であった。しかし、この窓構造の形成には活性領域における共振器端面のパターニング、選択エッチング、及び埋め込み再成長のプロセス加工が必要となる。Al系の材料を用いた半導体レーザでは、再成長界面に強固な酸化膜が形成されるために再成長界面は界面準位の多い窓構造となる。そして、これらの界面準位は光吸収を増加させるために、COD劣化を効果的に抑制することはできない。また、窓構造を加えることによってレーザ素子構造は大変複雑になり、各工程の歩留まりによって生産性を著しく低下させる欠点がある。

【0006】また、通常行われる単一材料の誘電体膜パッシベーションは、共振器端面の反射率の制御、及び大気中からの酸化促進を抑制するだけである。誘電体膜パッシベーションにおいてCOD劣化を効果的に抑制するためには、長期にわたり欠陥の発生しない化学的及び熱的に安定な誘電体／半導体界面を形成することが重要である。しかし、酸化物系、窒化物系、及び炭化物系の単一材料を用いた場合には、化学的及び熱的に安定な誘電体／半導体界面を実現することは困難であった。

【0007】本発明は、レーザ光が共振器端面より出射される半導体レーザ素子において、酸化物系、窒化物系、炭化物系の誘電体材料より少なくとも二つの材料系を同時に混合成膜して共振器端面に堆積することによって、化学的かつ熱的に安定な誘電体／半導体界面を形成して、共振器端面COD劣化を効果的に抑制するものである。

【0008】

【課題を解決するための手段】本発明は、一対の共振器端面を有する半導体レーザ素子において、少なくとも一つの共振器端面に、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つの材料系を同時に混合成膜することによって化学的かつ熱的に安定な誘電体／半導体界面を形成して、半導体レーザ素子の高出力長期安定

動作を実現する、半導体レーザ素子の製造方法を提供し、さらに、器端面を有する半導体レーザ素子において、少なくとも一つの共振器端面に、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つを混合した誘電体薄膜を積層した後に、前記誘電体薄膜とは構成材料又は組成比が異なる誘電体又は半導体材料を積層する半導体レーザ素子の製造方法を提供する。

【0009】そしてさらに、上述の製造方法において、酸化物系、窒化物系、及び炭化物系誘電体材料の少なくとも二つの材料系を同一のターゲット上に形成し、スパッタ法によって異種材料系の混合薄膜を共振器端面に積層する方法と、酸化物系誘電体材料として Al_2O_3 、窒化物系材料として SiN_x 及び炭化物系材料としてTaCを混合した誘電体薄膜を共振器端面に積層する方法と、さらに、共振器端面に積層した混合した誘電体薄膜上に積層させる材料が、 Al_2O_3 、 SiO_2 、 SiN_x 、 Si 、 $AlGaInAsP$ のいずれかである半導体レーザ素子の製造方法を提供する。

【0010】

【発明の実施の形態】本発明における実施の形態を以下に説明する。初めに、 $InGaAs$ 歪量子井戸構造を有する発振波長 $0.98\mu m$ 帯の横モード制御型半導体レーザウエハの製造方法について述べる。

【0011】図1に、半導体レーザウエハの断面構造を示す。半導体レーザウエハは、常圧MOVPE装置によって成長する、 Si ドープした $GaAs$ (001) 基板1上に $GaAs:Si$ バッファ層2 (不純物濃度 $=1 \times 10^{18} cm^{-3}$) を $0.5\mu m$ 、 $Al_{0.4}Ga_{0.6}As:Si$ クラッド層3 (不純物濃度 $=1 \times 10^{17} cm^{-3}$) を $2\mu m$ 、成長温度 $700^\circ C$ 、 V/III 比100で成長する。次に、成長温度を $680^\circ C$ 、 V/III 比を80で $Al_{0.2}Ga_{0.8}As$ 光ガイド層4を $40nm$ 、 $GaAs$ バリア層5を $20nm$ 、 $In_{0.24}Ga_{0.76}As$ 活性層6を $4.5nm$ 、 $GaAs$ バリア層7を $5nm$ 、 $In_{0.24}Ga_{0.76}As$ 活性層8を $4.5nm$ 、 $GaAs$ バリア層9を $2nm$ 順次成長する。続いて、 $Al_{0.2}Ga_{0.8}As$ 光ガイド層10を $40nm$ 、 $Al_{0.4}Ga_{0.6}As:Mg$ クラッド層11 (不純物濃度 $=1 \times 10^{18} cm^{-3}$) を $1.5\mu m$ 、 $GaAs:Mg$ キャップ層12 (不純物濃度 $=1 \times 10^{19} cm^{-3}$) を $1\mu m$ 、気相成長させる。

【0012】次に、図2、3を用いて上述の半導体レーザウエハを横モード制御型レーザに加工する工程を示す。図2は、 $[-110]$ 方向のメサストライプが形成された後の半導体レーザウエハの (-110) 断面図を示す。まず、図1に示した半導体レーザウエハの最上層の $GaAs$ キャップ層に SiO_2 を成膜し、フォトリソグラフィ技術によって図2に示す $[-110]$ 方向に幅 $4\mu m$ の SiO_2 ストライプ13を形成する。この SiO_2 ストライプをマスクとする選択エッチング技術によ

って $Al_{0.4}Ga_{0.6}As:Mg$ クラッド層11が $0.3\mu m$ 残る深さまでエッチングして、図2の断面図に示すメサストライプが形成される。

【0013】続いて、上記 SiO_2 ストライプをマスクとした選択成長技術によって、図3に示すようなメサストライプの側部を膜厚 $0.8\mu m$ の $Al_{0.6}Ga_{0.4}As:Si$ 電流ブロック層14 (不純物濃度 $=1 \times 10^{18} cm^{-3}$)、及び膜厚 $0.8\mu m$ の $GaAs:Si$ 電流ブロック層15 (不純物濃度 $=1 \times 10^{18} cm^{-3}$) で順次埋め込み成長を行う。さらに、 SiO_2 マスクを除去した後、膜厚 $1\mu m$ の $GaAs:Mg$ キャップ層16 (不純物濃度 $=1 \times 10^{19} cm^{-3}$) を成長して、横モード制御型半導体レーザウエハを得る。このレーザウエハの両面にコンタクト電極を蒸着し、その後、レーザのストライプに直行する $[110]$ 方向に共振器長が $700\mu m$ になるように劈開して、レーザバーを得る。

【0014】次に、劈開によって得られた共振器端面に誘電体材料の混合薄膜を形成し、化学的かつ熱的に安定な誘電体/半導体界面を実現するパッシベーション方法について説明する。誘電体材料の混合薄膜堆積には、マグネトロンRFスパッタ装置を用いた。図4に、薄膜堆積に用いたスパッタターゲット17を示す。ここで、ターゲットの領域を分割して、 Al_2O_3 18、 SiN_x 19、及びTaC 20を同一ターゲット上に形成することによって、 Al_2O_3 、 SiN_x 及びTaCが同時に混合成膜され、 $Al_xSi_yTa_{1-x-y}O_mN_nC_{1-m-n}$ 混合薄膜 (x, y, m, n : 組成比) が得られる。また、ターゲット上での各種材料の露出面積を変化させることによって、成膜される混合薄膜元素の組成比 (x, y, m, n) を制御することができる。図5に示すように、半導体レーザバー21の共振器端面に $Al_xSi_yTa_{1-x-y}O_mN_nC_{1-m-n}$ 混合薄膜22を成膜温度 $150^\circ C$ 、成膜時のスパッタパワー密度 $6W/cm^2$ で膜厚 $45nm$ 堆積させた。続いて、この混合薄膜上に Al_2O_3 膜23を $80nm$ 積層して、レーザ光が出射される前面の共振器端面における反射率が3%となるように制御した。なお、共振器端面の反射率を任意に制御し、かつ、混合薄膜を熱的及び化学的に保護する目的から、上述した Al_2O_3 膜23以外に SiO_2 、 SiN_x 、 Si 、 $AlGaInAsP$ の材料を積層することも可能である。

【0015】続いて、裏面の共振器端面には Al_2O_3 膜24とアモルファス Si 膜25からなる多層膜を積層することによって95%の光反射率を得ることができる。このとき Al_2O_3 膜24とアモルファス Si 膜25は、成膜温度 $120^\circ C$ 、スパッタパワー密度はそれぞれ 8.5 及び $6W/cm^2$ で積層した。最後に、個々のレーザ素子を劈開によって分割し、ヒートシンクに融着することによって本発明のレーザ素子は完成する。

【0016】本発明における混合薄膜を用いた誘電体バ

ッシベーションは、 $0.98\mu\text{m}$ 帯半導体レーザだけでなく、 AlGaInN 系、 ZnCdMgSSeTe 系及び AlGaInAsP 系の材料によって構成されるその他の波長帯の半導体レーザ素子($0.4\sim 0.8\mu\text{m}$ 帯半導体レーザ)にも適用可能である。なお、レーザ素子の材料系の違いによって、薄膜組成及び成膜条件を最適化する必要がある。

【0017】

【発明の効果】従来、半導体レーザ素子における共振器端面の劣化を抑制するために、レーザ光に対して透明な材料を共振器端面に形成する種々の窓構造が提案されてきた。しかし、窓構造を形成するためにはレーザ素子の活性領域へのパターニング、選択エッチング、及び埋め込み再成長の加工プロセスが必要であった。これらのプロセスにより、特に Al 系の材料を有するレーザ素子では酸化によって界面準位が増加していた。これは、共振器端面での光吸収を増加させて、充分な COD 劣化抑制効果を得ることはできなかった。さらに、これらの窓構造はレーザ素子構造を複雑にし、各工程の歩留まりによって生産性を著しく低下させていた。

【0018】また、通常行なわれる誘電体膜パッシベーションでは、共振器端面の反射率を抑制し、大気中からの端面の酸化促進を抑制するだけで、端面劣化寿命の大幅な改善は実現されていなかった。誘電体膜パッシベーションにおいては化学的及び熱的に安定な誘電体/半導体界面を形成することが重要であるが、酸化物系、窒化物系、及び炭化物系の単一材料における誘電体膜ではその実現が困難であった。例えば、酸化物系材料として Al_2O_3 を用いた場合には、薄膜材料は化学的に安定であるが、成膜時において半導体表面にダメージが導入されやすい。この半導体表面におけるダメージにより、レーザ光の吸収が増加してやがては共振器端面に COD 劣化を発生させる。また、窒化物系材料として SiN_x を用いた場合には、成膜時に半導体表面に導入されるダメージは比較的少ないが、誘電体/半導体界面での密着性が劣るために、長期的な安定動作を実現することは困難である。一方、炭化物系材料として TaC を用いた場合には、界面の密着性は比較的優れているが、その反面、誘電体/半導体界面での相互拡散が生じやすく、熱的安定性に問題がある。つまり、単一材料における誘電体膜パッシベーションでは化学的及び熱的に安定な誘電体/半導体界面を実現する条件を全て満足することは困難である。

【0019】しかし、本発明では酸化物系、窒化物系、及び炭化物系材料を同時に混合成膜し、かつ、その組成比を制御することによって、半導体レーザ素子の共振器端面に成膜ダメージが少なく、界面密着性がよく、かつ、誘電体/半導体界面で相互拡散がない急峻な界面を実現することができた。つまり、 COD 劣化を誘発する

各種要因を、それぞれのパッシベーション材料の特性を活かして均一に改善することにより一つの劣化要因の促進を抑制して、誘電体/半導体界面の化学的及び熱的安定性を向上させることができた。

【0020】なお、本発明は、従来プロセスに対して複雑な加工プロセスはなく、ほぼ同じ誘電体膜パッシベーション工程でレーザ素子を製作できることから、生産性を低下させることはない。また、多種多様の半導体レーザ素子において幅広い適用性を有している。

【図面の簡単な説明】

【図1】半導体レーザウェハの層構造を示した図である。

【図2】半導体レーザウェハを SiO_2 ストライプによって選択エッチングしたときの断面図である。

【図3】選択エッチングした半導体レーザウェハに埋め込み再成長したときの断面図である。

【図4】スパッタターゲットの材料構成を説明する図である。

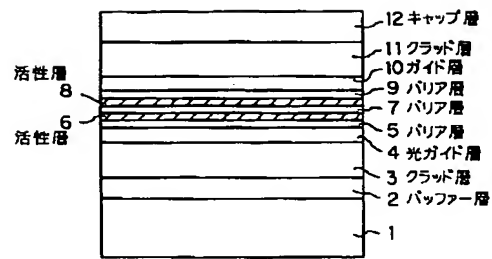
【図5】半導体レーザバーにおいて、誘電体コーティングを説明する図である。

【図6】従来例による半導体レーザ素子の製造方法を説明するための図である。

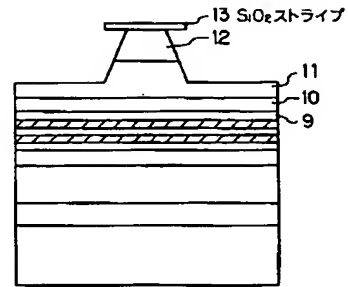
【符号の説明】

- 1 GaAs (001) 基板
- 2 $\text{GaAs}:\text{Si}$ バッファ層
- 3 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}:\text{Si}$ クラッド層
- 4 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 光ガイド層
- 5 GaAs バリア層
- 6 $\text{In}_{0.24}\text{Ga}_{0.76}\text{As}$ 活性層
- 7 GaAs バリア層
- 8 $\text{In}_{0.24}\text{Ga}_{0.76}\text{As}$ 活性層
- 9 GaAs バリア層
- 10 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 光ガイド層
- 11 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}:\text{Mg}$ クラッド層
- 12 $\text{GaAs}:\text{Mg}$ キャップ層
- 13 SiO_2 ストライプ
- 14 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}:\text{Si}$ 電流ブロック層
- 15 $\text{GaAs}:\text{Si}$ 電流ブロック層
- 16 $\text{GaAs}:\text{Mg}$ キャップ層
- 17 スパッタターゲット
- 18 Al_2O_3
- 19 SiN_x
- 20 TaC
- 21 半導体レーザバー
- 22 $\text{Al}_x\text{Si}_y\text{Ta}_{1-x-y}\text{O}_a\text{N}_n\text{C}_{1-a-n}$ 混合薄膜
- 23 Al_2O_3 膜
- 24 Al_2O_3 膜
- 25 アモルファス Si 膜

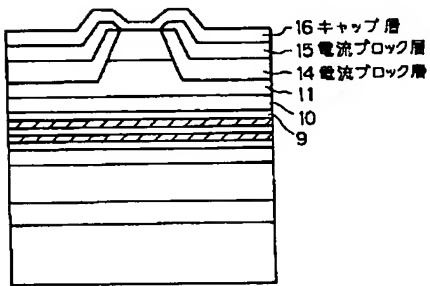
【図1】



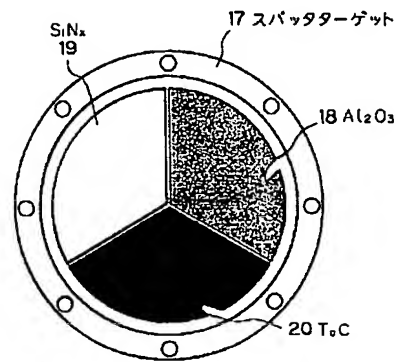
【図2】



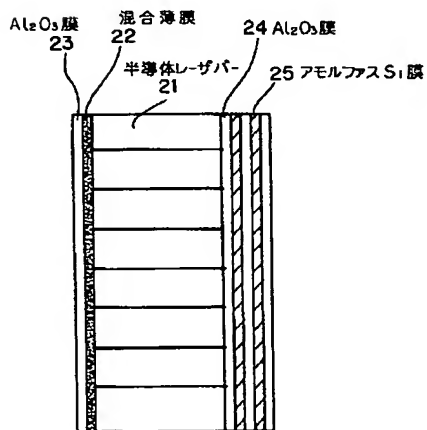
【図3】



【図4】



【図5】



【図6】

